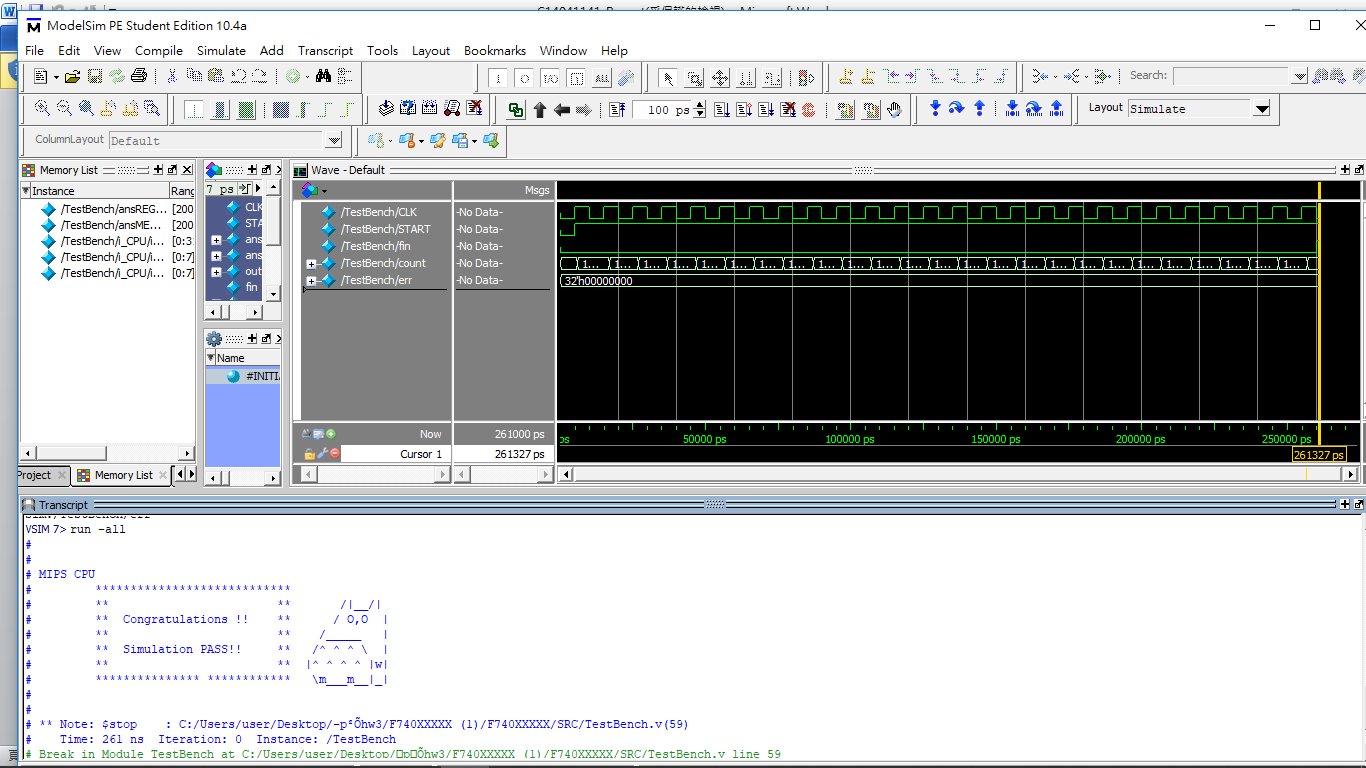
**Computer Organization 2018**

**HOMEWORK 3**

系級: 108資訊 學號: C14041141 姓名:王韋凱

**實驗結果圖(snapshot of result)**

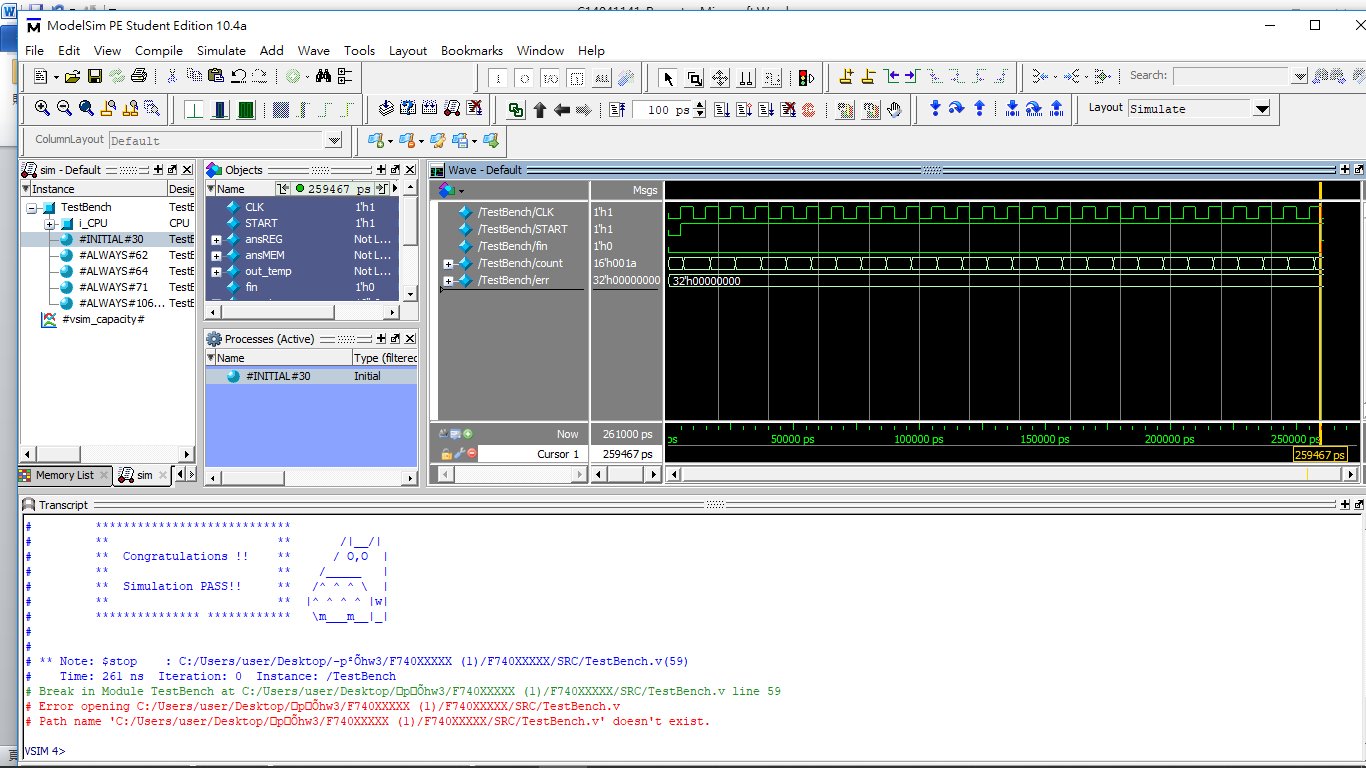


**波型圖(Waveform)**

**Please explain why your snapshot is correct**

(不用每條指令都解釋，挑一兩條指令解釋功能正確即可)

(You don’t need to explain all the instructions in the testbench. It is fine to pick one or two instructions in the testbench and explain the function is correct )



**Reason:**

CLK send periodical signal to CPU

Error代表有無錯誤(0)表示結果沒有錯誤

**心得(Report)**

(請寫下完成本次作業的心得、學到哪些東西、困難點的部分。)

(Please write your learned lesson and conclusion, and difficult point.)

此次作業若我知道如何用接線的方式實作出在 其他語言只要一個簡單的 指令(lw,sw,j,addi,beq) ，並由一串OP CODE 接線 到各個 MODULE和訂定ALU\_CTRL,ALU\_OP,DM\_WE……等線路來實作各個指令，進而知道指令中線路的運作。

而若是CPU.v接線的部分接到自己的參數沒有定義compile也不會有錯，因此在接線時要很小心，不然的話就像我一樣不知道錯在哪，檢查很久才發現Mem\_Read打成MemRead QQ

而比較困難的也是要用線路去實作指令時，要明白線路的運作，而且要在各個MODULE中接線，且每個WIRE要判斷如何用input/wire來assign。